

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

⑨ 日本国特許庁 (JP)

II 特許出願公開

II 公開特許公報 (A)

昭59-91554

Int. Cl.³
G 06 F 9/38

識別記号

府内整理番号
B 7218-5B

⑩公開 昭和59年(1984)5月26日

発明の数 1
審査請求 未請求

(全 14 頁)

分岐方向予測を行なう命令先取り装置

東京都港区芝五丁目33番1号日本電気株式会社内

⑪特 願 昭57-201559

⑫發明者 仁後公衛門

⑬出 願 昭57(1982)11月17日

東京都港区芝五丁目33番1号日本電気株式会社内

⑭發明者 菅谷律雄

⑮發明者 渋谷俊輝

東京都港区芝五丁目33番1号日本電気株式会社内

東京都港区芝五丁目33番1号日本電気株式会社内

⑯發明者 花谷修一

⑰發明者 仁後公衛門

東京都港区芝五丁目33番1号日本電気株式会社内

東京都港区芝五丁目33番1号日本電気株式会社内

⑲發明者 赤木正信

⑳發明者 渋谷俊輝

東京都港区芝5丁目33番1号

東京都港区芝五丁目33番1号日本電気株式会社内

明細書

発明の名称

分岐方向予測を行なう命令先取り装置

か
正しく予測された否かを確認する手段と、

前記確認手段により分岐命令の分岐方向予測が間違っていると判定された場合は、該分岐命令の正しい後続命令を取り出して実行する手段と、

前記分岐命令の実行結果で前記分岐ヒストリーブル手段中の分岐情報を更新する手段とを備えたことを特徴とする分岐方向予測を行なう命令先取り装置。

特許請求の範囲

分岐命令のアドレスを指定する情報と該分岐命令に対応する分岐方向及び分岐先アドレスを含んだ分岐情報を対にして複数対記憶する分岐ヒストリーブル手段と、

命令先取りにおいて先取りされるべき分岐命令のアドレスを指定する情報が前記ヒストリーブル手段に登録されているか否か調べ該分岐命令の登録の判明に応答して前記分岐ヒストリーブルから対応する分岐情報を読み出す手段と、

該分岐情報に従い命令の先取り動作を実施する命令先取り制御手段と、

命令実行装置で実行された分岐命令の分岐方向の結果と該分岐命令の分岐ヒストリーブルの分岐方向情報を比較し、該分岐命令の分岐方向が

発明の詳細な説明

発明の属する技術分野

本発明はデータ処理システムの命令シーケンスのステップに含まれる分岐条件判定ステップ実行処理に先立って判定結果を予測しつつ次の命令の先取りを行なう分岐方向予測を行なう命令先取り装置に関する。

従来技術

少なくとも1個の分岐命令を含む命令群が記憶装置に命令シーケンスの形で格納されているデータ処理システムにおいては、このような命令シ-

ケンスの実行は、次のように行なわれる。

まず、前記配憶装置の分岐元アドレスに分岐命令が格納される。次に、この分岐命令に引き続いで実行される命令が先取りされる。このあと、分岐命令が実行され、この実行結果により次に実行される命令が明らかになる。このようなシステムは米国特許4200927号に提案されている。しかし、このシステムでは、分岐命令先取り制御において実行結果の判別時まで命令先取り制御を停止させると、処理の迅速化が妨げられる。この点を除去のため、分岐命令の実行結果を予め予測し、この予測に従って命令先取りを行なう方式が提案されている。この予測が正しく行なわれたときには、データ処理システムは処理時間の少ない遅延で稼働する。例えば、そのような従来の予測方式としては次の3つの方式がある。第1の予測方式では、全ての分岐命令の分岐先方向が成功側または不成功側のいずれか一方のみに予測されている。他の1つの予測方式では、過去の事実に基づいて分岐先方向を予測する。すなわち、同じ分岐命令

の過去の実行結果において分岐先がすでに明らかにされているという事実を用いてこの結果に基づいて予測を行なうことにより予測的中率を高めている。このような予測方式の代表例が特開昭57-76638号公報に示されている。

さらにもう1つの予測方式では、分岐命令に対応して分岐の方向を予測する分岐指示フラグを多数用意し分岐命令の発生に応答してこれら分岐指示フラグを参照することにより分岐先を予測している。この例の詳細は特開昭53-74857号公報を参照できる。しかし、上述の3つのいずれの予測方式においても分岐命令の読み出し、解説が必要的不可欠であり、予測途中にもかかわらずこれらの読み出しおよび解説動作分だけ処理が遅れるという欠点がある。

この欠点を除去する予測方式が特開昭57-59253号公報に示されている。この方式では、主記憶装置の命令部の写してある命令キャッシュメモリのブロックに対応して該ブロック中に含まれる分岐命令の分岐先アドレスを、該ブロックの次にエッ

チされるべきブロックのアドレスとして記憶手段に保持している。命令先取り動作において、命令キャッシュメモリへのアクセスと同時に前記記憶手段をアクセスして前記分岐先アドレスを読み出し、読み出された分岐先アドレスにより先取りすべき命令のアドレスを決定している点において、この方式は上述の従来の3つの予測方式と異なり処理の迅速化に有効である。しかし、この方式では、命令キャッシュメモリのブロック対応で予測するため、該ブロックに分岐命令が複数個存在するときはそのそれぞれの分岐命令に対応して予測を行なうことができない。この結果、精度の粗い予測的中率しか得られないという欠点がある。

発明の目的

本発明の目的は上述の欠点を除去するようにして分岐方向予測を行なう命令先取り装置を提供することにある。

発明の構成

本発明の装置は、分岐命令のアドレスを指定する

情報と、該分岐命令に対応する分岐方向及び分岐先アドレスを含む分岐情報を対にして複数対記憶する分岐ヒストリーテーブル手段を設け、命令先取り動作を行なう際に先取りるべき分岐命令のアドレスを指定する情報が、前記分岐ヒストリーテーブルに登録されているか否かを調べ、該分岐命令の登録の判明に応答して対応する分岐情報を前記分岐ヒストリーテーブルから読み出し、該分岐情報に従い、分岐命令の解説を行なうことなく命令先取り動作を開始するよう制御することにより予測的中時にはロスサイクルを生じることなく命令供給を可能とする。さらに、命令実行装置で実行された分岐命令の分岐方向の結果と、該分岐命令の分岐ヒストリーテーブルの分岐方向情報を比較する該分岐命令の分岐方向が正しく予測されたことを確認する手段により分岐命令の分岐予測が間違っていると判定された場合は該分岐命令の正しい後続命令を取り出し実行する手段および分岐命令の実行結果で前記分岐ヒストリーテーブル中の分岐情報を更新する手段を備えている。

発明の原理と作用

本発明の特徴は分岐命令の実行における分岐方向に加えて分岐先アドレスが同じ分岐命令の過去の結果の把握により比較的高い命中率で予測可能であるという事実に基づいて装置が動作することにある。

発明の実施例

次に本発明の一実施例を図面を参照して詳細に説明する。第1図を参照すると、本発明の一実施例は、命令アドレス生成回路401、命令アドレス変換回路402、命令解説回路403、オペラントアドレス生成回路404、オペラントアドレス変換回路405、オペラント記憶回路を有するオペラント統出し回路406、命令実行回路407、命令記憶回路408、命令バッファ409、分岐ヒストリーテーブル(BHT)410、命令アドレスレジスタ411、命令アドレス加算回路412、分岐情報バッファ413、命令整列回路414、分岐情報切換回路415、分岐情報レジスタ416、

命令の実行の予測としての分岐成否フラグと分岐先アドレスを第3図に示すように対にして記憶している。前記命令記憶回路408に対する前記命令アドレスレジスタ(IAR)411は、命令統出しのリクエストアドレフを保持して命令の統出しが動作を実行する。さらに前記命令アドレスレジスタ411(IAR)は分岐ヒストリーテーブル410(BHT)および命令アドレス加算回路412に信号線101を介して接続されている。前記レジスタ411の内容は該分岐ヒストリーテーブル410(BAT)を参照し、統出されるべき命令のアドレスがそれに登録されているか否かを示す信号を信号線106に出力する。登録されていれば対応する分岐先アドレスが信号線105に統出される。登録されていなければ前記命令アドレス加算回路412により後続の命令群の命令先取りのためのアドレスが生成される。前記命令アドレス加算回路412は1回のリクエストで統出される命令群を8Byteと假定したと簡単に" IAR + 8 "を信号線107に生成する回路である。前記命令バッ

417、418、および419、予測確認回路420、アドレス生成回路421、選択回路422、レジスタ423、命令先取り制御回路424およびフリップフロップ425から構成されている。

命令記憶回路408およびオペラント統出し回路406内のオペラント記憶回路はともに主記憶装置そのものであってもよく、さらに命令記憶回路408が主記憶装置の命令部の一部の写しである命令キャッシュメモリ、前記オペラント記憶回路が主記憶装置のオペラント部の写しであるオペラントキャッシュメモリとして構成されうる。

本発明は前述の命令の処理単位に対応した装置構成を必ずしも有する必要はなく、例えば命令アドレス生成回路401とオペラントアドレス生成回路404、命令アドレス変換回路402とオペラントアドレス変換回路405、命令記憶回路408とオペラント統出し回路406内の記憶回路が共用されたコンピュータシステムにおいても適用され得る。前記分岐ヒストリーテーブル(BHT)410は分岐命令のアドレスを指定する情報と該分岐命

令バッファ409は、命令記憶回路408から統出された8Byteの先取り命令群を蓄積し命令処理部への命令の供給における待行列(Quene^{MC})を形成する。前記命令整列回路414は、命令バッファ409が空のとき信号線102を介して命令記憶回路408から統出される8Byteの命令語に応答して前記命令バッファ409が空でないとき信号線103を介して前記命令バッファに貯えられる8Byteの命令語に応答して命令を抽出して信号線104を介して命令解説回路403に命令を供給する回路である。前記分岐情報バッファ413は、前記命令バッファ409に格納される命令語に対応して用意されており、その命令語中に分岐成功と予測された分岐命令が存在すれば、第7図に示す該分岐命令の分岐情報を格納する回路であり、分岐命令のアドレスは信号線101を介してまた分岐情報としての分岐先アドレスおよびVビットは分岐ヒストリーテーブル410(BAT)から信号線105を介してそれぞれセットされる。前記分岐情報切替回路415は、命令バッファ409

が假のとき信号線 101 および 105 を介して与えられる前記分岐情報をそうでないときは前記分岐情報バッファ 403 を介して与えられる前記分岐情報をそれぞれ出力する。前記レジスタ 416、417、および 418 はそれぞれ分岐命令の命令解読、命令アドレス生成、アドレス変換の各処理ステージに対応し、その分岐情報部を保持する。前記分岐情報レジスタ 419 はその分岐先アドレス部を該分岐命令の実行によって生成される実際の分岐先アドレスに置き換えて保持するレジスタである。前記予測確認回路 420 は分岐命令の実行によって生成される実際の分岐命令の生成結果と前記分岐情報レジスタ 418 に保持される該分岐命令の予測情報との一致をとる回路である。前記アドレス生成回路 421 は前記分岐情報レジスタ 419 に保持される分岐命令のアドレスと該分岐命令自身の命令語長とを加算し分岐 NOGO 標の命令の命令アドレスを生成する。前記選択回路 422 は分岐命令の成否信号線 111 の状態に応答して該信号線の状態が分岐 GO を示すとき信号線 115 を

トを参照しながら本実施例の動作を詳細に説明する。

第 2 図を参照すると、前記分岐ヒストリーテーブル 410 (BHT) は、ディレクトリ記憶部 501、データ記憶部 502、テスト回路 503、504、505、および 506、プライオリティ回路 507、^{オフ} レベル選択回路 508、および 第 9 回路 509 を備えている。前記記憶部 501 および 502 は、1 回のリクエストに対して命令記憶回路 408 から読み出される命令語の単位をブロックの単位とし、セット数 m、レベル数 n の記憶部である。

第 3 図を参照すると、記憶部 501 には分岐命令の命令アドレスの一部とその内容が有効か否かを示す V ビットが格納され記憶部 502 には、分岐先アドレスの実アドレスが格納されている。前記 V ビットは対応する分岐ヒストリーテーブル (BHT) 410 のワードの有効性を示すと同時に 該分岐命令の実行の予測としての分岐成否フラグの機能を有する。この分岐ヒストリーテーブル (BHT) 410 への索引は以下のようなセットアソシエイ

介して与えられる前記分岐情報レジスタ 419 に保持される分岐先アドレス部の出力を試験し、前記器の状態が分岐 NOGO を示すとき信号線 116 を介して与えられる前記アドレス生成回路 421 の出力を選択し、信号線 113 を介して該選択回路 422 の出力をレジスタ 423 に供給する。前記レジスタ 423 は分岐命令の予測が失敗したとき分岐ヒストリーテーブル 410 (BHT) を更新するためのものであり、さらに信号線 117 を介して命令アドレスレジスタ 411 (IAR) に命令先取りのための新たなアドレスを供給する。前記命令先取り制御回路 424 は信号 106 を介して分岐ヒストリーテーブル 410 (BHT) から与えられる分岐予測信号および予測確認回路から信号 112 を介して与えられる予測成否信号に基づいて命令アドレスレジスタ 411 (IAR) の入力を制御する回路である。

次に前記分岐ヒストリーテーブル 410 (BHT)、前記予測確認回路 420 および前記命令先取り制御回路 424 の詳細なブロック図とタイムチャート

法によって行われる。

第 5 図に示される前記テスト回路 503、504、505、および 506 はテーブル 410 の各レベルに応じて命令アドレスレジスタ 411 (IAR) に保持されるリクエストアドレスが各レベルの BHT-IAR-i (i はレベルに対応するサフィックスを示す) に登録されているか否かを示す信号を信号線 130、131、132、133 に出力する。

第 4 図を参照すると前記テスト回路 503、504、505 および 506 のそれぞれは、一致回路 701 および大小比較回路 702 から構成されている。前記比較回路 701 では、命令アドレスレジスタ (IAR) 411 に保持されるリクエストアドレスの一部 IAR (:18-28) をセットアドレスとして読み出された記憶部 501 の各レベルの内容とを読み出し前記レジスタ 411 の内容 IAR (:4-17) とが比較され、等しいアドレスが存在するか否かを検出する。該一致回路 701 の出力により命令アドレスレジスタ (IAR) 411 に保持されるリクエストアドレスへ読み出されるべき命令語の 8 Byte ブロック

中にすでに分岐ヒストリーテーブル(BHT)410に登録された分岐命令が存在するか否かが、判別する。しかしリクエストアドレスとそれが読み出すべき分岐命令との対応をとるには上記一致検出のみでは不十分である。

第5図を参照すると、1回のリクエストで読み出される8Byteの命令語のブロック中に2Byte命令BC0, A, BC1, BC2の4個の命令が存在する。命令BC0, BC1, BC2がともに分岐成功と予測された分岐命令であるときには、各々の分岐命令はともにそのアドレスの一部が記憶部(BHT-AA)501に登録される。このとき他の分岐命令から命令Aに分岐して命令Aのアドレス<A>が前記命令語のブロックを読み出すためのリクエストアドレスとして命令アドレスレジスタ(IAR)411に保持されるときには、分岐ヒストリーテーブル(BHT)410から読み出されるべき分岐命令の情報は命令の実行の経路から分岐命令BC1の情報でなければならない。

従って前記レジスタ(IAR)411に保持される

リーテーブル410のレベルで前記信号BHT-HITi条件が共に成立する。このとき命令の実行の経路から命令BC1に対するレベルが選択される必要がある。前記プライオリティ回路507は、前記信号BHT-HITiの2ケリ以上成立に対するものであり、この出力により記憶部BHT-DA502のセットアドレスIAR(:18-28)で示されるエントリの分岐先アドレスがレベル選択回路508を介して読み出される。

第6図を参照すると、前記プライオリティ回路507はアンド回路群601-604およびオーバル回路群605-608から構成されている。前記アンド回路群601-604はn+1個並列に配設されている。前記第2図におけるレベル選択回路508のnヶのレベルの選択信号は第6図における信号V0, V1, V2, V3により以下のように与えられる。

V0のとき	V0L _n
V0・V1のとき	V1L _n
V0・V1・V2のとき	V2L _n
V0・V1・V2・V3のとき	V3L _n

リクエストアドレスと前記記憶部(BHT-AA)501に保持される分岐命令のアドレスとの関係が上記の一致条件とともに次の関係が成立するとき対応するレベルのBHT-HITi信号が生成される。この信号は線130-133を介して第3回路509に与えられ、該BHT-HITi信号のオア信号が線106を介して出力され分岐予測信号(BHT-HIT信号)となる。

$$\begin{aligned} \text{BHT-HITi} = & (\text{IAR}(:4-17)=\text{BHT-AA}(:4-17)) \\ & \wedge (\text{IAR}(:2930)\leq \text{BHT-AA}(:2930)) \\ & \wedge \text{BHT-AA}(\vee) \end{aligned}$$

再び第4図を参照すると、前記大小比較回路は、この条件を実現する回路である。さらに前記信号BHT-HITiの条件が2ケリ以上のレベルにおいて成立したとき記憶部501の対応するレベル(BHT-AAi)に保持される分岐命令のアドレス8Byteブロック内アドレスBHT-AAi(:2930)の値の最も小さいレベルが選択される必要がある。

再び第5図を参照すると、命令BC1およびBC2の分岐命令関係情報が格納される分岐ヒスト

以上のようにして第2図におけるレベル選択回路508から読み出された分岐情報は第1図の命令記憶回路408から読み出される命令と対応づけることが可能である。

第9図には、命令記憶回路408における命令と分岐ヒストリーテーブル(BHT)410における分岐情報の上記対応関係が示されている。命令の実行順序が命令A₀、分岐命令BC₀, B₁, BC₁, B₂, B₃, BC₂, C₁, C₂……と予測された場合である。なお、<A>はA命令のアドレスを、BC_iは分岐命令をそれぞれ示す。

第10図を参照すると、前記第9図に示した分岐ヒストリーテーブルBHT410による命令先取り動作は次のようにされる。リクエストアドレスの命令アドレスレジスタ411のセットに応答して命令記憶回路408から命令語が読み出され、これと同時にテーブルBHT410が索引される。信号線106を介してBHT-HIT信号が出力されると記憶部BHT-DA502の分岐先アドレス<II>がアドレスレジスタ411にセットされ、次の命令先

取りが行われる、前記信号 106 を介して BHT-HIT 信号が出力されないときには命令アドレス加算回路 412 に命令 A の 8 バイト ~~ア~~^{追加}アドレス <A> が与えられ、「8」加算されたアドレスが出力され、次の命令先取りが逐次行われる。

以上の命令の先取りに従えば命令記憶回路 408 から読み出される命令群は、テーブル BHT 410 の内容による予測に従って順次読出され、命令バッファ 409 には予測された命令の実行順に格納することが可能である。

このときたとえ信号 BHT-HIT が出力されても分岐予測方向と反対側の命令先取り動作を一部行わせしめた後に分岐予測方向の命令先取り動作を行ってもよい。

以上のようにして命令先取りされた命令が分岐命令で第 1 図の命令登録回路 414 により、命令解説回路 403 に掛かれたとき同時に該分岐命令に対応する分岐情報が最初の分岐情報レジスタ 416 (QR₀) にセットされる。

以降前記分岐命令の進行に伴い前記命令解説、

れたときこの状況を示す信号がフリップフロップ 802 にセットされる。このフリップフロップ 802 の出力が “1” で実際の分岐命令を実行した結果が分岐 NOGO であればアンド回路 805 から予測 GO 失敗信号 123 が生成される。前記フリップフロップ 801 の出力が “1” で分岐命令の実行結果が GO であればアンド回路 804 から予測 NOGO 失敗信号 124 が生成される。さらに該信号 124 と前記予測 GO 失敗信号 123 との論理和が第 3 回路 809 から予測失敗信号 112 として生成される。

第 1 図および第 11 図を参照すると、分岐情報レジスタ 419 (QR₃) の分岐先アドレス部には前記命令アドレス変換回路 402 から新たに生成される分岐先アドレスがセットされる。また前記分岐情報レジスタ 419 (QR₃) の分岐命令 BC₁ のアドレス部の内容と該分岐命令 BC₁ 自身の命令語長部の内容とがアドレス生成回路 421 により加算され分岐 NOGO 側の命令アドレスが生成される。

そして分岐命令 BC₁ の実際の実行により 分岐

アドレス変換に対応して尚記分岐情報が第 2 および第 3 の分岐情報レジスタ 417 (QR₁) および 418 (QR₂) に転送される。そして前記分岐命令の実行によって生成される実際の分岐命令の生成結果と前記分岐情報レジスタ 418 (QR₂) に保持される該分岐命令の予測情報との一致が予測確認回路 420 によりチェックされる。

第 8 図を参照すると、前記予測確認回路 420 は比較回路 801、フリップフロップ 802 および 803、アンド回路 804-806、貯蔵回路 807 および 808、および第 3 回路 809 から構成されている。

前記比較回路 801 には、分岐命令の実行により生成された分岐先アドレスの実アドレスが命令アドレス変換回路 402 から信号線 109 を介して与えられるとともに、分岐情報レジスタ 418 (QR₂) から予測された分岐先が線 108 を介して与えられる、前記比較回路 801 では両者の一致、不一致が判定される。判定結果と前記レジスタ 418 を介して与えられる V ピットがアンド回路 806 に与えられる、論理積結果により分岐 GO と予測さ

GO ならば前記分岐情報レジスタ 419 (QR₃) から線 115 を介して与えられる分岐先アドレス部の出力 <D₁> が分岐 NOOO ならば線 116 を介して与えられる前記アドレス生成回路 421 の出力 <D₂> が選択回路 422 により選択される。前記分岐命令 BC₁ の予測失敗信号 112 が予測確認回路 421 から発生したとき、該選択回路 422 の出力 <D₁> が線 113 を介してレジスタ 423 (WR) にセットされる。

一方分岐情報レジスタ 419 (QR₃) の分岐命令のアドレス <BC₁> は信号線 114 を介して命令アドレスレジスタ 411 (IAR) にセットされる。このアドレスは該分岐命令に対応する分岐ヒストリーテーブル 410 (BHT) の更新のため線 101 を介して該テーブル 410 にライトアドレスとして供給される。前記予測失敗信号 112 の出力がフリップフロップ 425 に与えられ、この出力が信号バスとして線 119 を介してテーブル 401 に与えられる。この出力に応答して分岐命令の次の命令先取り時のための分岐予測情報の更新が行なわれる。この

更新は本実施例では予測NOOO失敗のとき前記レジスタ423(WR)に保持される新たな分岐先アドレスで行なわれ、予測GO失敗のときはVビットをリセットするように行われるが分岐予測情報の更新におけるアルゴリズムを用いて他の方法により行なって差しつかえない。予測失敗したとき予測側に後続する命令の動作はすべてキャンセルされ、前記レジスタ423(WR)に保持される新たなリクエストアドレスが分岐ヒストリーテーブル410(BHT)の更新後に命令アドレスレジスタ411(IAR)に供給され改めて命令の取出しが開始される。

第12図を参照すると、前記命令先取り制御回路424はフリップフロップ1201、真偽回路1202-1204およびアンド回路1205から構成されている。前記フリップフロップ1201は前記予測失敗信号112を1マシンサイクル保持するためのフリップフロップである。この回路424の出力はアドレスレジスタ411の前段にあるセレクタの選択指示信号となる。この選択指示信号は、前記命

令アドレス加算回路412の出力、前記レジスタ423の出力、前記テーブル410の出力、および分岐情報レジスタ419の出力のうちのどれを選択するかを指示するための信号である。なお、この命令先取り制御回路424の制御により分岐予測が的中したときには後述する第16図の命令処理が行なわれ、分岐予測が失敗したときには後述する第17図の命令処理が行なわれる。前記アドレス加算回路11は報106を介してBHT-HIT信号が出力されないとき分岐NOGO側の命令の先取りを行なうためのアドレス生成を行う。このときアドレスは実アドレスで加算が行われるために、例えば、ページングを行なうコンピュータシステムにおいて前記アドレス加算がページ境界を越えた場合アドレス変換を改めてやり直す必要が生じる。このために前記命令アドレス加算回路11にページ境界越え検出回路を設け、該検出回路によりページ境界越えが生じた場合、信号線L11により命令アドレス生成回路1を起動し、命令先取り動作を改めて命令アドレス生成回路(IA)401及び命令ア

ドレス変換回路(IT)402から行なうように制御すればよい。

ここで問題となるのは、あらたに分岐ヒストリーテーブルBHT410に前記命令アドレス情報を登録するとき既存のどつ部分に格納された命令アドレス情報を追い出すかである。

この方法としては使われた順序、すなわち最も古く使われたものから順に追い出す法LRU(Least Recently Used)情報が入った順序、すなわち最も古く入ったものから順に追い出す方法FIFO(First In First Out)等があるが、どちらを用いてもよい。

発明の効果

次に本発明の効果を第13図から第17図を参照しながら詳細に説明する。

第13図を参照すると、命令の処理は一般的に次の8つの処理単位に分けられる。

- (1) IAステージ：実行すべき命令の命令アドレス(物理アドレス)が生

成される。

- (2) ITステージ：生成された命令アドレスのアドレス変換が行われる。
 - (3) ICステージ：変換された命令の実アドレスで記憶装置から命令が読出される。
 - (4) IDステージ：読出された命令が解説される。
 - (5) OAステージ：解説された命令のオペランドアドレス(論理アドレス)が生成される。
 - (6) OAステージ：生成されたオペランドアドレスのアドレス変換が行われる。
 - (7) OCステージ：変換されたオペランドの実アドレスで記憶装置からオペランドが読み出される。
 - (8) EXステージ：命令が実行される。
- 上述のITステージおよびIDステージのアドレス変換においてアドレス変換バッファを設け、以

要な変換テーブルが該アドレス変換バッファに存在すれば上記アドレス変換処理は高速に実行し得る。また、上述の I CステージおよびO Cステージの命令およびオペランドの読み出し動作において主記憶装置のデータの一部の写しを保持するキャッシュメモリを設け、必要な命令およびオペランドが該キャッシュメモリに存在すれば I CステージおよびO Cステージの処理は高速に行いうる。情報処理システムは上述の各処理単位に対応したリザースを必ずしも有する必要はない。しかし、説明の簡単のためにここでは各処理単位にその機能を果す回路があるものとする。上述の I T, O T および I C, O C の各ステージの高速処理が可能なとき複数の命令の処理の流れを無駄なく実行する 8段のパイプライン制御が可能である。

このときの分岐命令を含む命令の処理の流れを第14図および第15図を参照しながら説明する。

第14図は分岐命令の命令先取りにおいて前述のすべての分岐は "GO" であると予測した場合の命令の処理の流れを示す。すなわち、命令 A0

サイクルは

$$3 \times r + 3 \times (1 - r) = 3 \text{ サイクル}$$

である。

一方第15図は分岐命令の命令先取りにおいて、前述と同じ分岐命令の過去の結果に基づいて予測を行った場合の命令の処理の流れを示す。すなわち、分岐命令 BC は、時刻 14において解読されるとともに分岐命令のアドレステーブルを探索し、その有無によるかもしくは分岐指示フラグの指示の予測により、分岐 GO側の命令 B1 を先取りするか分岐 NOGO側の命令 A1 を先取りするかを決定する。前回と同様に時刻 15, 16, および 17 には分岐 NOGO側の後続命令 A1, A2, および A3 の命令先取りのためのアドレス生成が開始される。時刻 18, および 19 には予測による命令先取りの後続命令 B1 および B2 もしくは A1 および A2 の命令のアドレス生成が開始される。時刻 19 において分岐条件の判定結果により時刻 18 以降は正しい命令の処理の流れに従って処理が継続される。この場合分岐命令の出現によるパイプラインの

は分岐命令 BC の分岐条件を決定する。命令で該分岐条件は命令 A0 の実行結果、すなわち、時刻 17において決定される。分岐命令 BC は時刻 14において解読されると命令アドレスの生成回路を用いて分岐先命令 B1 のアドレスを生成し以後 B1 命令を先取りするように動作する。時刻 12, 13, および 14 には分岐 NOGO側の後続命令 A1, A2, および A3 の命令先取りのためのアドレス生成が開始される。時刻 16 および 17 には予測動作としての分岐 GO側の後続命令 B2 および B3 の命令先取り動作が開始される。時刻 17 において分岐条件の判定結果により、時刻 18 以降は正しい命令の処理の流れに従って処理が継続される。

この場合、分岐命令の出現によるパイプラインのロスサイクルは

予測的中 (分岐 GO) のとき 3 サイクル

予測失敗 (分岐 NOGO) のとき 3 サイクル
である。

分岐 GO率 r / 予測的中率 α としたときこの場合 $\alpha = \alpha = 0.5$ であり 1 分岐命令当たり平均的なロス

ロスサイクルは

分岐 GOと予測して的中したとき 3 サイクル

分岐 NOGOと予測して的中したとき 0 サイクル

分岐 GOと予測して失敗したとき 3 サイクル

分岐 NOGOと予測して失敗したとき 6 サイクル
である。従って、分岐 GO率 $r = 0.5$ 予測的中率 $\alpha = 0.8$ と仮定したとき 1 分岐命令当たりの平均的なロスサイクルは

$$3 \cdot r \cdot \alpha + 0 \cdot (1-r)\alpha + 3r(1-\alpha) + 6(1-r)(1-\alpha) \\ = 2.1 \text{ サイクル}$$

を得る。

従ってこの従来の発明は同じ分岐命令の過去の結果に基づいて予測を行った場合高い予測的命中率を得るという原理を用いることにより常に分岐 GOと予測する第14図に示す処理に比べ幾分の改良がみられる。しかし、この改良された発明においても、たとえ予測的中時分岐 GOの場合は依然として 3 サイクルのロスサイクルを費すことになり、これ以上短縮できない。従って分岐命令が生じた場合たとえ予測が的中してもロスサイクルを

生じることになる。

第16図および第17図は本発明による命令の処理の流れを示している。本発明における命令の処理単位ICステージは命令を記憶装置から読み出す機能の他に、分岐ヒストリーテーブルを参照し読み出される命令のアドレスが該分岐ヒストリーテーブルに登録されているか否かを検出し、登録されていれば対応する分岐情報を読み出し、登録されなければ後続命令の命令先取りのためのアドレスを生成する機能を有する。

第16図および第17図を参照すると、分岐命令BCの時刻t₁における動作は次のようにして行なわれる。まず、該分岐命令BCが命令キャッシュメモリから読み出されると同時に分岐ヒストリーテーブルが参照される。該分岐命令BCの命令アドレスが登録されていれば対応する分岐情報を読み出される。該分岐情報を分析した結果、分岐G側の予測として該分岐情報中に含まれる分岐先アドレスにより分岐先命令B₁の命令先取りを開始するか、もしくは分岐NOGO側の予測として分岐

$$0 \cdot \alpha + 5 \cdot (1 - \alpha) = 1 \text{ サイクル}$$

となり、従来技術に比べて格段に改良される。

本発明には分岐ヒストリーテーブルに分岐命令の分岐方向及び分岐先アドレスを含む分岐情報を登録し、分岐命令実行時は実行結果の分岐方向と該分岐命令に対応する分岐ヒストリーテーブルの分岐方向を比較して分岐命令の予測が的中したか否かを調べ、分岐予測失敗時には正しい後続命令を取り出し実行を再開し、分岐情報を更新する手段をもつことにより条件分岐命令を含む分岐命令の分岐予測を可能とし分岐予測的中時は、バイ二ライン制御における分岐命令の実行をロスサイクルなしで処理できるという多大な効果がある。

図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図は分岐ヒストリーテーブルの詳細な構成を示す図、第3図は第2図の記憶部501および601の記憶形式を示す図、第4図は第2図のテスト回路503-506の詳細な構成を示す図、第5図は命令線の

NOGO側の命令A₁の命令アドレスを生成して命令A₁の先取りを開始するかが決定される。以降時刻t₃までは前記分岐命令BCの予測期間であり、予測期の後続命令が先取りされ時刻t₅において分岐条件が決定される。予測的中時には第16図に示すようにバイ二ラインの流れは乱れを生ずることなく処理が継続される。予測失敗時には第17図に示すようにt₆時刻で前記分岐ヒストリーテーブルの更新を行った後に正しい命令の流れから命令の取出しを行うように制御される。この場合、分岐命令の出現によるバイ二ラインのロスサイクルは

予測が的中したとき 0 サイクル

予測が失敗したとき 5 サイクル

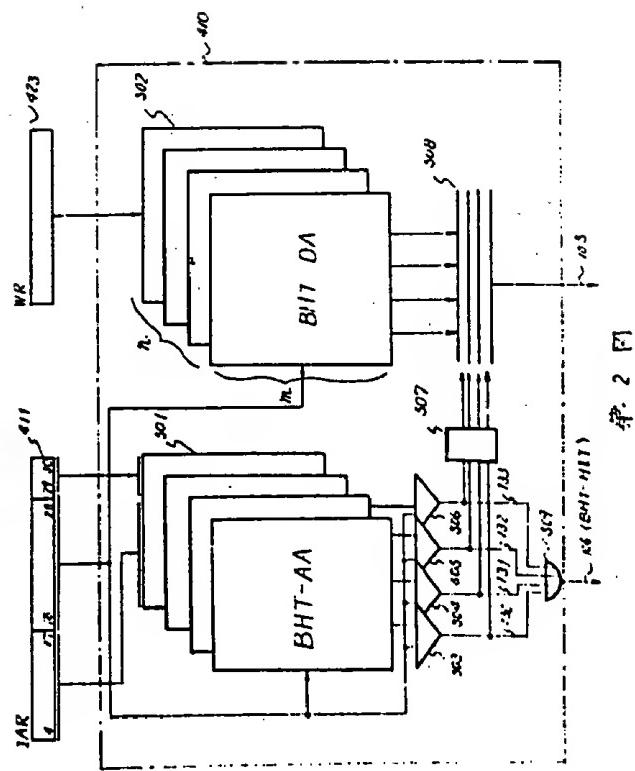
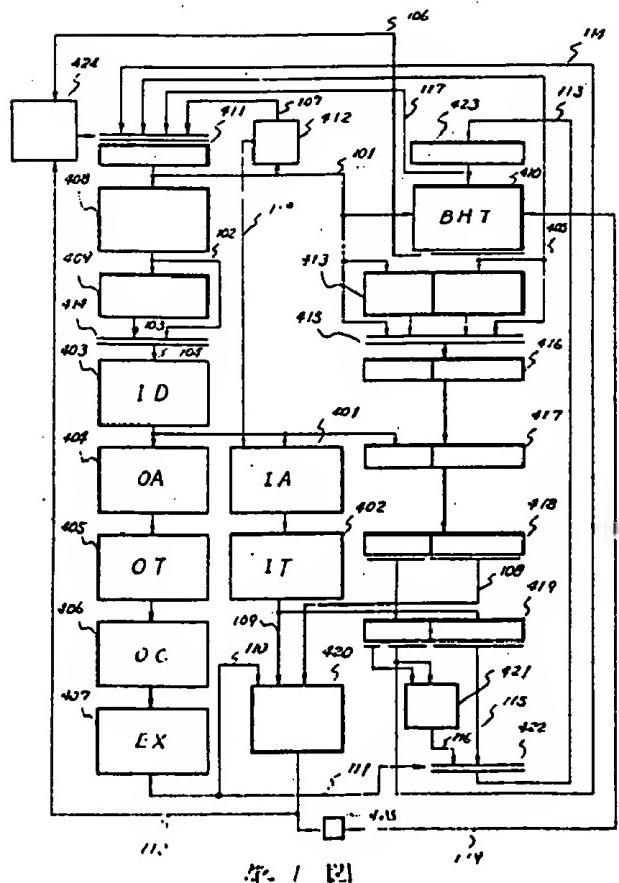
である。予測的中率αは、この場合分岐方向だけでなく分岐先アドレスをも予測することから分岐方向だけの予測に比べ若干低くなるが、その割合は微々たるものである。従って、予測的中率α=0.8として1分岐命令当たりの平均的なロスサイクルは

構成を示す図、第6図は第2図のプライオリティ回路507の詳細な構成を示す図、第7図は第1図のレジスタ417-419の格納形式を示す図、第8図は第1図の予測確認回路420の詳細な構成を示す図、第9図は第1図の命令記憶回路408における命令と分岐ヒストリーテーブル410における分岐情報をとの対応関係を説明するための図、第10図は第9図のテーブル410による命令先取り動作を説明するための図、第11図は予測失敗時における命令先取り動作開始までの動作を説明するための図、第12図は第1図の命令先取り制御回路の詳細な構成を示す図、第13図は、命令の処理の流れの概要を示す図、第14図および第15図は従来の予測方式を用いた命令の処理の流れを示す図、第16図は本発明において、分岐命令の予測が的中したときの命令の処理の流れを示す図、および第17図は本発明において分岐命令の予測が失敗したときの命令の処理の流れを示す図である。

第1図から第17図において、A01……命令ア

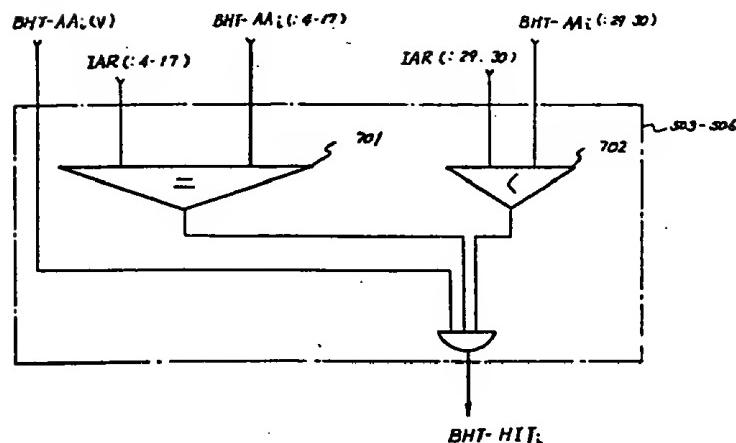
ドレステ生成回路 402……命令アドレス変換回路
 403……命令解説回路 404……オペラントアド
 レス生成回路 405……オペラントアドレス変換
 回路 406……オペラント説出し回路 407……
 命令実行回路 408……命令記憶回路 409……
 命令バッファ 410……分岐ヒストリーテープル
 (BHT) 411……命令アドレスレジスタ(IAR)
 412……命令アドレス加算回路 413……分岐情
 報バッファ 414……命令整列回路 415……分
 攝情報切換回路 416……分岐情報レジスタ(QR0)
 417……分岐情報レジスタ(QR1) 418……分
 攷情報レジスタ(QR2) 419……分岐情報レジ
 スタ(QR3) 420……予測確認回路 421……
 アドレス生成回路 422……選択回路 423……
 レジスタ(WR) 424……命令先取り制御回路
 425……フリップフロップ 501、502……記憶
 部 503、504、505、506……テスト回路
 507……プライオリティ回路 508……選択回路
 509……オア回路。

代理人 弁理士 内原晋

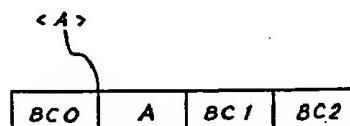




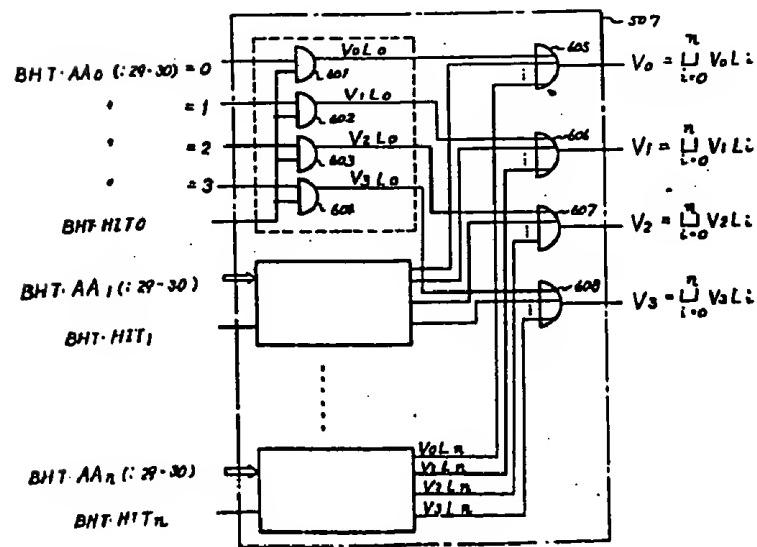
第3図



第4図



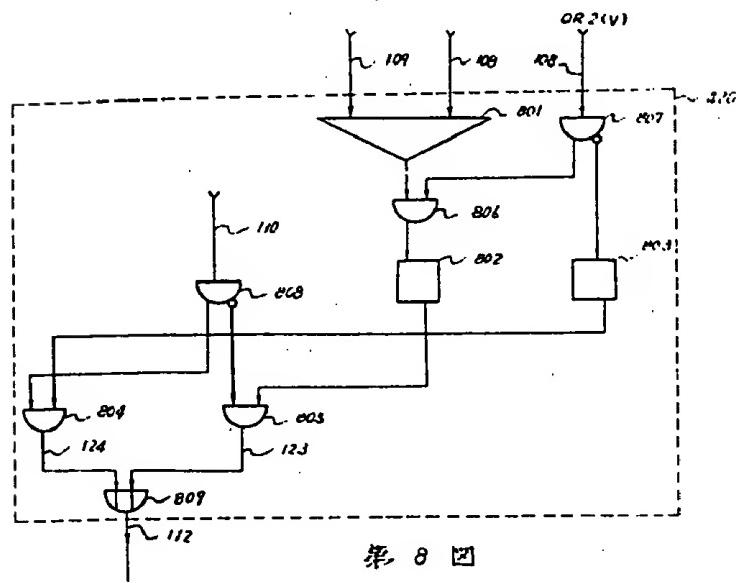
第5図



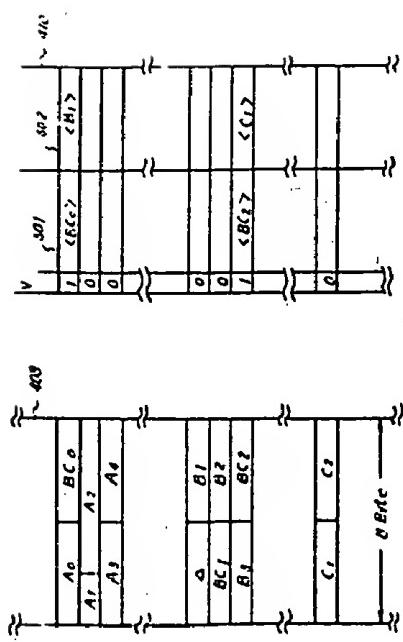
第6図

命令記憶	命令記憶アドレス	命令記憶アドレス	V
------	----------	----------	---

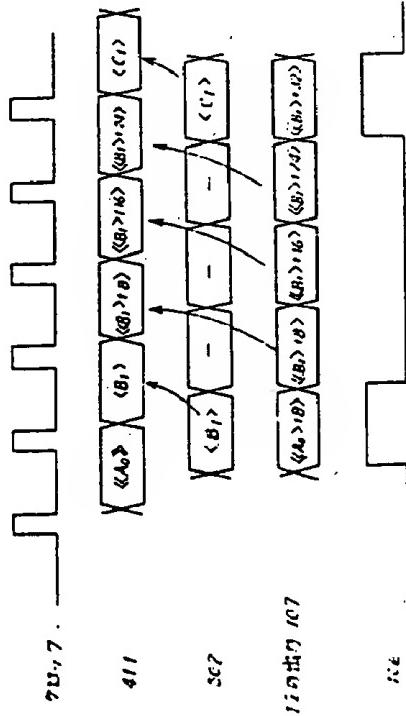
第 7 図



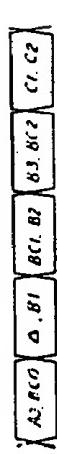
第 8 図



第 9 図



第 10 図





402

BC1

419

BC1
動作時間

112

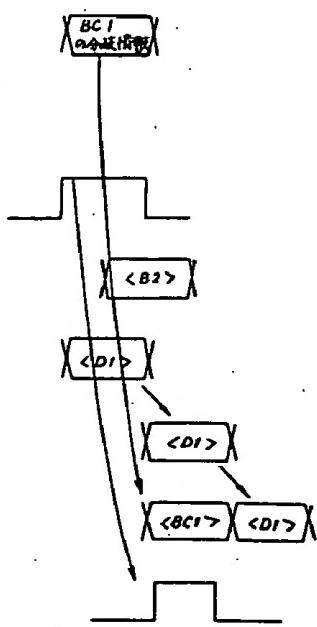
116

115

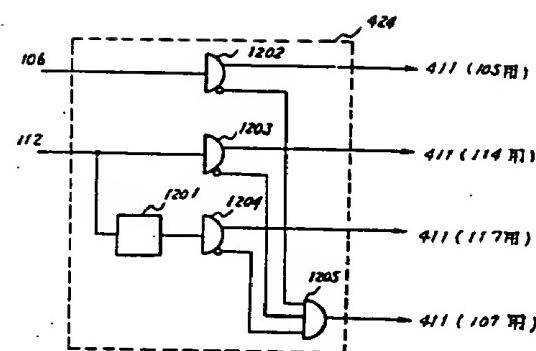
423

411

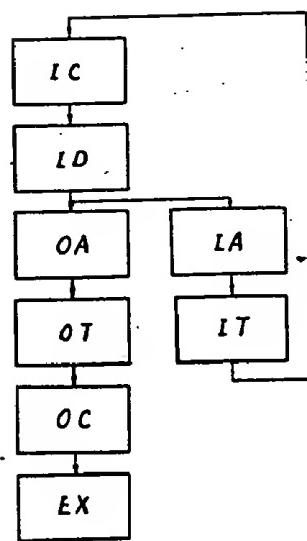
119



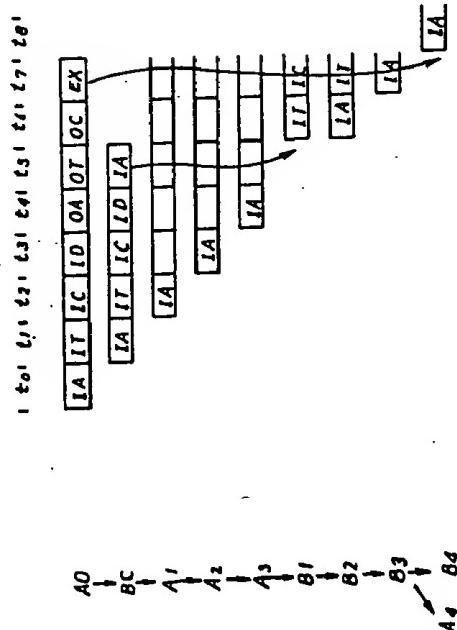
第 11 図



第 12 図

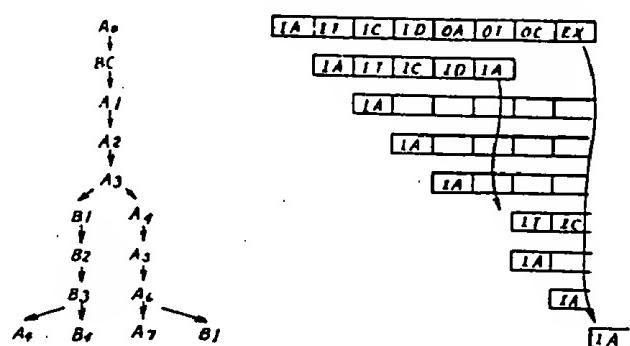


第 13 図



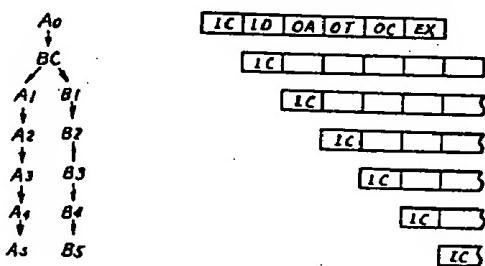
第 14 図

吉局4359- 91554(14)



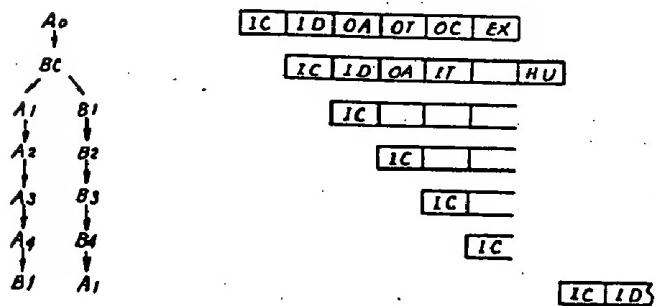
第 13 回

to c_1 c_2 c_3 c_4 c_5 c_6



卷之四

1 to 1 z, 1 t2, 1 ts, 1 z4, 1 ts, 1 ta, 1 z7, 1 ts,



年 17 四